

引用格式:王轩,刘洁,赖晓玲,等.一种适用于低压差分信号驱动电路的带隙基准源设计[J].微电子学与计算机,2020,37(2):75-79. [WANG X, LIU J, LAI X L, et al. A novel design of band-gap reference for LVDS[J]. Microelectronics & Computer, 2020, 37(2): 75-79.]

一种适用于低压差分信号驱动电路的带隙基准源设计

王 轩,刘 洁,赖晓玲,周国昌,王倩琼

(西安空间无线电技术研究院,陕西 西安 710100)

摘 要:针对低压差分信号驱动电路对共模电压和参考电流的需求,提出了一种新型带隙基准源结构,可在一个基准模块内同时提供带隙基准电压和基准电流.对传统带隙基准进行了改进,优化了基准电压和基准电流的温度特性.仿真结果显示,所设计的基准源电路具有较好的温度特性,在温度范围为 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 时,基准电压的温漂系数为 $17.4\text{ ppm}/^{\circ}\text{C}$,电流基准的温漂系数为 $63.3\text{ ppm}/^{\circ}\text{C}$.作为参考电压与电流基准,可有效保证 LVDS 信号的稳定性.

关键词:带隙基准源;低压差分信号;电压源;电流源

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2020)02-0075-05

A novel design of band-gapreference for LVDS

WANG Xuan, LIU Jie, LAI Xiao-ling, ZHOU Guo-chang, WANG Qian-qiong¹

(Xi'an Institute of Space Radio Technology, Xi'an 710100, China)

Abstract: In order to provide both common mode voltage and current source to Low-Voltage Differential Signaling (LVDS) driver, a novel structure of band gap reference is proposed in this work to provide both voltage reference and current reference with a high performance of temperature characterizes. Bipolar transistors are used in proposed circuit to generate ideal temperature coefficients. The DC simulation shows the voltage temperature coefficient is $17.4\text{ ppm}/^{\circ}\text{C}$ and current temperature coefficient is $63.3\text{ ppm}/^{\circ}\text{C}$. By using proposed band gap reference, the stability of LVDS can be significantly improved.

Key words: band gap reference; LVDS; voltage reference; current reference

1 引言

带隙基准源由于其具有低温度系数和高电源抑制比(power supply rejection ratio, PSRR)的特点,被广泛应于低压差分信号(Low Voltage Differential Signaling, LVDS)驱动电路以提供共模电压和基准电流^[1-2].带隙基准的设计原理是根据硅材料的带隙电压与电源电压和温度无关的特性,通过将两个具有相反温度系数的电压进行线性组合以得到接近零温度系数的电压^[3].由于该类电路在芯片系统中的重要作用,近年来多种具有温度补偿特性或降

低功耗和芯片面积的带隙基准源已经被设计和报道出来^[4-8].然而传统的基准源在同时提供电压基准与电流基准时,由于其实现机制中正、负温度系数在一定程度上具有相关性,以致很难达到较低的温度系数,使用时在一定程度上对 LVDS 信号的稳定性造成了影响.

本文针对传统基准源在同时提供基准电压和电流时需要损失其温漂系数这一不足,提出了一种新型低温漂基准压流源电路,在不增加双极性晶体管数量的情况下,可同时提供具有低温度系数的基准电压源和电流源. PSRR 增强模块的设计可进一步

加强对电源噪声的抑制能力,使该基准更适用于数字信号驱动电路应用.同时针对基准源上电时容易陷入零点状态的问题,设计了一种自启动电路,提高了电路的稳定性.所提出的电路已在 $0.13\ \mu\text{m}$ 工艺上进行了设计和验证,仿真结果表明该带隙基准源的漂系数较传统结构有较大改进,具有较高的电源噪声抑制能力,可实现自启动,便于工程实现.

2 传统带隙基准源

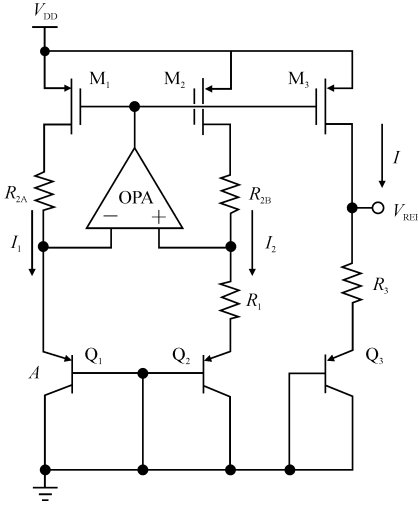


图1 传统带隙基准源电压源

2.1 传统电压基准

一种常见的基准源电路原理图如上图所示,双极型晶体管 Q_1 、 Q_2 以及 Q_3 的发射极面积之比为 $1:n:n$ 以使得 Q_1 与 Q_2 、 Q_3 工作在不同的密度下^[9]. R_{2A} 与 R_{2B} 阻值均为 R_2 ,可消耗一定的电压裕度,减小电流镜 M_1 与 M_2 上的源漏电压 V_{ds} ,以降低沟道调制效应带来的源漏电流变化,保证两臂电流 I_1 与 I_2 的匹配度:

$$I_1 = I_2 = \frac{V_{BE1} - V_{BE2}}{R_1} = \frac{V_T \ln n}{R_1} \quad (1)$$

式中, $V_T = KT/Q$, K 为玻尔兹曼常量, Q 为电荷, T 为温度. M_3 与 M_1 、 M_2 的尺寸被设计为 $M:1$ 以获得特定幅值的 PTAT (proportional to absolute temperature) 电流

$$I: I = M \cdot I_2 \quad (2)$$

由于运算放大器 OPA (operational amplifier) 的输入端电势相等,电阻 R_1 上的电压为 V_{BE1} 和 V_{BE2} 之差 ΔV_{BE} ,则 V_{REF} 可由公式(3)得到:

$$\begin{aligned} V_{REF} &= V_{BE3} + I \cdot R_3 \\ &= V_{BE3} + M \cdot \frac{V_{BE1} - V_{BE2}}{R_1} \cdot R_3 \end{aligned} \quad (3)$$

上式中的 PTAT 电流 I 具有正温度系数,而 V_{BE3} 具有负温度系数,因而可通过调整 R_1 、 R_{2A} 、 R_{2B} 以及 R_3 的阻值以获得具有低温漂系数的基准电压 V_{ref} . 由于 I 的温度系数无法抵消,故该电路不能提供与温度无关的基准电流^[10].

2.2 传统电流基准

一种常见的可同时提供基准电流与基准电压的带隙基准源电路如图2所示.

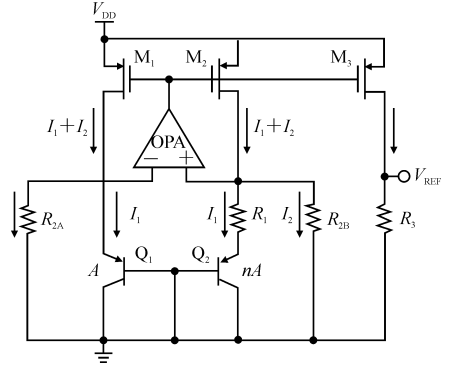


图2 可同时提供基准电压和电流的带隙基准源

该电路在图1的基准上删除了 Q_3 ,并在 Q_1 与 Q_2 的旁路上并联了电阻 R_{2A} 与 R_{2B} ,则 I_1 与 I_2 可由公式(4)与公式(5)表述.

$$I_1 = \frac{V_{BE1} - V_{BE2}}{R_1} = \frac{V_T \ln n}{R_1} \quad (4)$$

$$I_2 = \frac{V_{BE1}}{R_2} \quad (5)$$

电流镜 M_3 与 M_1 、 M_2 的尺寸比例为 $M:1$,其原理是利用 V_{BE1} 在 R_{2A} 与 R_{2B} 上产生具有负温度系数的电流 I_2 . 由于 I_1 具有正温漂系数,可利用二者之和产生与温度无关的基准电流 I_{REF} ,并同时在电阻 R_3 上产生基准电压 V_{REF} ^[11-12].

$$I_{REF} = M \cdot (I_1 + I_2) = \frac{V_{BE1} - V_{BE2}}{R_1} + \frac{V_{BE1}}{R_2} \quad (6)$$

$$V_{REF} = M \left(\frac{V_{BE1} - V_{BE2}}{R_1} + \frac{V_{BE1}}{R_2} \right) \cdot R_3 \quad (7)$$

将公式(7)与公式(3)进行对比,可以发现负温度系数由 V_{BE1} 提供而非 V_{BE3} 提供,由于 V_{BE1} 与 ΔV_{BE} 具有一定的相关性,难以将二者的温度特性进行完全的抵消,故而其温漂系数相对于图1中电路明显增大.

3 改进后的基准源电路

3.1 核心基准电路

为了得到具有低温漂系数的压流型基准源,本文在图1中结构的基础上进行了改进,所提出基准源的核心电路如图3所示.图中 M_1 、 M_2 、 M_3 、 Q_1 、

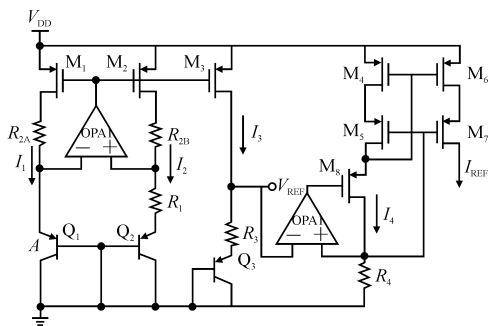


图3 新型带隙基准源电路

Q2、Q3、R1、R2A、R2B、R3 与运算放大器 1(OPA1) 构成了基准电压模块,其中 Q1、Q2、Q3 的比例为 1: n : n ,电阻 R2A、R2B 阻值相等, M1 与 M2 的尺寸相等, M3 与 M1 的尺寸比例为 M:1, M6、M7 与 M4、M5 的尺寸比例为 L:1. 运放 OPA1 输入端虚短使得 R1A 与 R2B 负端电压相等,从而保证基准两臂电流 I_1 与 I_2 相等,根据公式(3)中的表述,可得到低温漂系数的基准电压 V_{ref} . 运放 OPA2、R4、M3~M8 为基准电流产生模块,其中 M4~M7 为电流镜结构. OPA2 的输入端虚短并与 M8 构成了反馈回路,通过调节 M8 的开启状态将基准电压 V_{REF} 被复制到电阻 R4 上,此时 R4 上流经的电流 I_4 可通过公式(8)表述:

$$I_4 = \frac{V_{\text{REF}}}{R_4} = \left(M \frac{V_{\text{BE1}} - V_{\text{BE2}}}{R_1} + V_{\text{BE3}} \right) / R_4 \quad (8)$$

M4~M7 为电流镜模块,其作用是将电流 I_4 复制为基准电流 I_{REF} :

$$\begin{aligned} I_{\text{REF}} &= L \cdot \frac{V_{\text{REF}}}{R_4} = I \cdot R_3 \\ &= \frac{L}{R_4} \left(M \frac{V_{\text{BE1}} - V_{\text{BE2}}}{R_1} + V_{\text{BE3}} \right) \end{aligned} \quad (9)$$

3.2 PSRR 与启动电路

为了进一步提高电路的 PSRR 性能并同时保证电路的自启动能力,本文在图 3 的基础上增加了 PSRR 增强模块和启动电路,其结构如图 4 所示. M10~M12 为 PSRR 增强模块,在运算放大器和基准源输出支路上电流镜 PMOS 的栅极间添加共源放大器,该放大器中的 PMOS 管 M10 和 M11 均采用二极管连接方法,以此可将电流镜 PMOS 管的栅极和源极随 V_{dd} 的变化模式相匹配. 产生基准电压 V_{ref} 的支路电流 I_3 可用下式表达:

$$I_3 = -\frac{1}{2} \mu_p C_{\text{ox}} \frac{W}{L} (V_{\text{gs}} - |V_{\text{THP}}|)^2 \quad (10)$$

式中, V_{gs} 为 PMOS 管的栅源电压, W 为栅宽, L 为栅长, V_{THP} 为晶体管阈值电压, μ_p 为空穴迁移率, C_{ox}

为栅氧化层单元面积电容. 当 V_{dd} 发生波动时,由于晶体管的 V_{gs} 波动得以降低,电流镜晶体管的源漏电流维持不变,从而减小了 V_{ref} 随 V_{dd} 波动的峰值.

图 4 中的 M13~M17 为启动电路模块, M16 的栅极接基准输出, M17 的漏极接 M14 偏置的栅极电压 V_2 , 即连接至了带隙电路中 M8 与 M9 的栅极. 若电路处于零电流状态,在上电时, M17 将导通,并开启 M8 与 M9, 由于 M1 与 M2 在上电后本身处于导通状态,基准源的两臂电流源开启,进而使电路进入正常的工作状态,带隙电路输出的参考电压 V_{ref} 使得 M16 导通,则 M17 截止,启动电路截止,减少功耗.

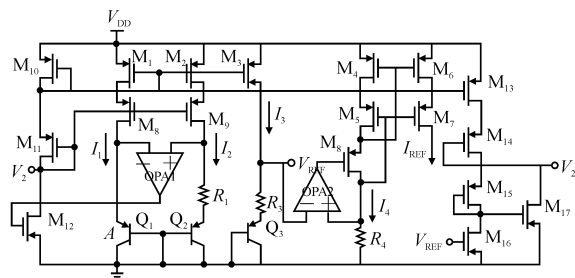


图4 具有 PSRR 增强和启动电路的带隙基准源

4 仿真实验

本文所提出的电路在 0.13 μm 工艺上进行了设计与仿真验证,并与传统电路的温漂系数进行了对比. 图 5 为基准电压温度系数对比结果. 在常温下带隙基准输出电压为 1.25 V,当温度扫描范围为 -40 $^{\circ}\text{C}$ 到 125 $^{\circ}\text{C}$ 时,改进后的带隙基准源电压温漂系数由原先的 93 ppm/ $^{\circ}\text{C}$ 下降至 17.4 ppm/ $^{\circ}\text{C}$.

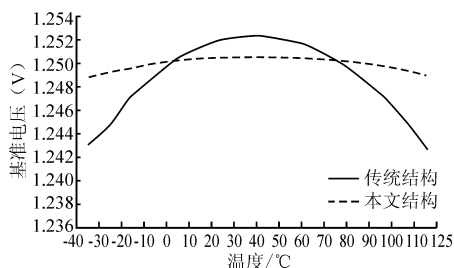


图5 基准电压温度仿真

图 6 为基准电流温度系数对比结果. 在常温下带隙基准输出电流为 25 μA ,在相同温度范围扫描下,改进后的带隙基准源电压温漂系数由原先的 246 ppm/ $^{\circ}\text{C}$ 下降至 63.3 ppm/ $^{\circ}\text{C}$.

为了进一步验证电路的稳定性,针对启动时间和 PSRR 进行了仿真. 基准电压的启动仿真如图 7 所示,当 V_{DD} 上电后, V_{ref} 经过大约 7 μs 后达到稳定

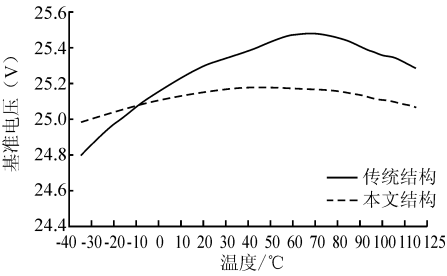


图 6 基准电流温度仿真

状态. 基准电流的启动仿真如图 8 所示, 当 V_{DD} 上电后, I_{ref} 经过大约 $7\ \mu s$ 后同样达到稳定状态.

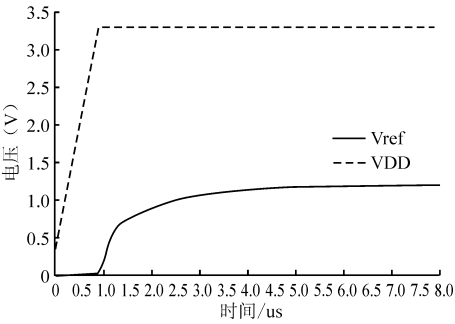


图 7 基准电压启动时间仿真

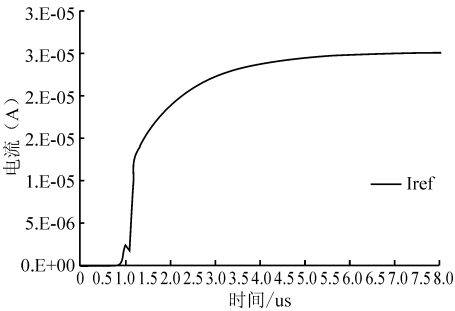


图 8 基准电流启动时间仿真

PSRR 仿真结果如图 9 所示, 其原理是在输入电源上加上一个小的交流电压, 然后对带隙基准从频率为 0.1 Hz 到 1 GHz 进行仿真得到电源抑制比特性. 结果显示, 电源噪声频率为 500 kHz 时, PSRR 为 -35 dB .

5 结束语

本文所设计的基准源电路采用了双运算结构, 运放 1 保证了基准电路的匹配度, 减少由于电流失配带来的温度性能降额, 运放 2 通过反馈回路复制了基准电压以产生具有低温漂系数的基准电流. 此外, 增加了 PSRR 增强模块和启动模块提高了电路的抗干扰能力和稳定性. 基于 SMIC 0.13 μm 工艺完成了设计, 仿真结果显示电路可在 $7\ \mu s$ 内正常启

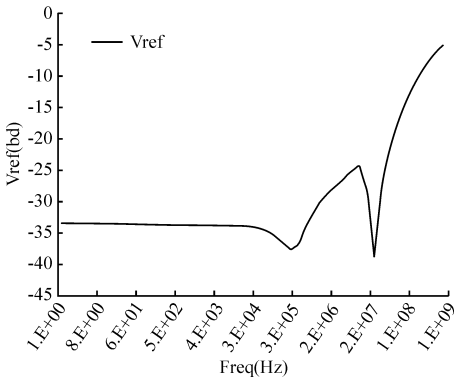


图 9 PSRR 仿真

动, 在 -40°C 到 125°C 温度范围内, 基准电压的温漂系数由传统结构的 $93\text{ ppm}/^{\circ}\text{C}$ 下降至 $17.4\text{ ppm}/^{\circ}\text{C}$, 基准电流的温漂系数由传统结构的 $246\text{ ppm}/^{\circ}\text{C}$ 下降至 $63.3\text{ ppm}/^{\circ}\text{C}$, 性能得到明显提升.

参考文献:

[1] Telecommunications Industry Association. ANS I/TIA/EIA-644-A-2001. Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits[S]. USA, TIA/EIA Engineering Standards and Publications, 2001.

[2] Microprocessor and Microcomputer Standards Subcommittee of the IEEE Computer Society. Draft 1.3 IEEE. Draft Standard for Low Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)[S]. USA, IEEE standard department, 1995.

[3] YANG Y T, ZHU Z M, LI Y I. High Precision High PSRR Bandgap Reference with Thermal Hysteresis Protection[J]. Journal of Semiconductors, 2010, 31(9):113-117.

[4] BANBA H, SHIGA H, UMEZAWA A, et al. A CMOS band-gap reference circuit with sub-1-V operation [J]. IEEE Journal of Solid-State Circuits, 1999, 34(5):670-674.

[5] JIANG Y M, LEE E K F. Design of low-voltage band gap reference using transimpedance amplifier [J]. IEEE Trans, Circuits Syst II, 2000, 47(1): 552-555.

[6] MALCOVATI P, MALOBERTI F, M. PRUZZI M, et al. Curvature Compensated BiCMOS Bandgap with 1-V Supply Voltage[J]. IEEE Journal of Solid-State Circuits, 2001, 36(7): 107-1081.

[7] FITAS A, HORTA N, GUILHERME J. Design of a Radiation-Hardened Curvature Compensated Bandgap Reference Circuit[C]//2016 12th Confer-

- ence on Ph. D. Research in Microelectronics and Electronics (PRIME), Portugal, 2016:177-179.
- [8] MARTÍNEZ-NIETO A, SANZ-PASCUAL M T, P. ROSALES-QUINTERO P, et al. A bandgap voltage reference in 0.18 μ m CMOS technology[C]// IEEE 56th International MWSCAS, Columbus, 2013: 289-293.
- [9] LEE E K F. A low voltage CMOS bandgap reference without using an opamp[C]//2009 IEEE International Symposium Circuits and Systems, Taiwan, 2009: 2533-2536.
- [10] BEHZAD RAZAVI. Design of Analog CMOS and Integrated Circuit [M]. Boston; McGraw-Hill, 2000: 264-266.
- [11] LEI LIAO, LUKAS LOHAUS, AYTAC ATAC, et al. A Low Power Bandgap Voltage Reference Circuit with PSRR Enhancement[C]//8th Conference on Ph. D. Research in Microelectronics & Electronics Session, Germany, 2012: 785-789.
- [12] LEUNG KANANG, PHILIP K T, MOK. A Sub-1-V 15-ppm/C CMOS Band-gap Voltage Reference without Requiring Low Threshold Voltage Device [J]. Ieee Journal of solid-state circuits, 2002, 37(4): 4.

作者简介:

王 轩 男, (1986-), 硕士, 工程师. 研究方向为数模混合集成电路设计、抗辐射加固技术、ASIC/SoC 设计技术.

E-mail: kosprince@vip. qq. com

刘 洁 女, (1987-), 硕士, 工程师. 研究方向为数模混合集成电路设计、高速电路设计、抗辐射加固技术.

赖晓玲 女, (1982-), 硕士, 高级工程师. 研究方向为抗辐射加固技术、ASIC/SoC 设计技术.

周国昌 男, (1978-), 博士, 研究员. 研究方向为卫星通信、抗辐射加固、集成电路设计.

王倩琼 女, (1987-), 博士, 工程师. 研究方向为抗辐射加固技术、ASIC/SoC 设计技术.